



DEUTSCHES
PATENTAMT

②① Aktenzeichen: 195 06 276.0
②② Anmeldetag: 23. 2. 95
②③ Offenlegungstag: 5. 9. 96

DE 195 06 276 A 1

⑦① Anmelder:

Zentrum Mikroelektronik Dresden GmbH, 01109
Dresden, DE

⑦④ Vertreter:

Patentanwälte Lippert, Stachow, Schmidt & Partner,
01309 Dresden

⑦② Erfinder:

Krauß, Mathias, Dr.-Ing.habil., 72119 Ammerbuch,
DE

⑤⑥ Entgegenhaltungen:

DE 41 14 419 A1
DE 39 18 732 A1
CH 4 17 979
EP 04 12 481 A2
IE 89 15 310 U1

CZARSKE, J., HOCK, F., MÜLLER, H.: Einsatz der
Drehzeigersignalverarbeitung in der
Laser-Doppler-Anemometrie, tm - Technisches
Messen 60 (1993) 3, S.99-105;

Prüfungsantrag gem. § 44 PatG ist gestellt.

⑤④ Verfahren und Schaltungsanordnung zur Interpolation von Sensorsignalen

⑤⑦ Der Erfindung, die ein Verfahren zur Interpolation von
Sensorsignalen, wobei je ein Sinus- und ein Cosinussignal
eines Sensors einer Brückenschaltung mit mehreren Ab-
griffspunkten zugeführt wird, ein Wertevergleich zwischen
einem Abgriffspaar durchgeführt wird und bei Feststellung
einer Wertegleichheit zwischen dem Abgriffspaar ein die
Stellung des entsprechenden Abgriffspaares repräsentieren-
des Signal ausgegeben wird, und eine Schaltungsanordnung
betrifft, liegt die Aufgabe zugrunde, eine Gesamtintegration
der analogen Vorverarbeitung mit digitaler Ausgabe auf
einem Chip zu ermöglichen.
Verfahrensseitig wird dies dadurch gelöst, daß die Abgriffs-
paare in einer Richtung nacheinander abgetastet und nach-
einander dem Wertevergleich unterzogen werden, wobei
jedem Abtastergebnis ein Zählerwert eindeutig zugeordnet
wird. Anschließend wird der Nulldurchgang des Abtaster-
wertes ermittelt, indem ein von einem zum nächsten Abtaster-
ergebnis eintretender Polaritätswechsel des aus dem Werte-
vergleich ermittelten Vergleichswertes festgestellt wird.
Dabei wird der Zählerwert als das der Stellung des entspre-
chenden Abgriffspaares repräsentierende Signal ausgege-
ben. Nach Feststellung des Polaritätswechsels des Ver-
gleichswertes werden die Verfahrensschritte in entgegenge-
setzter Abtastrichtung wiederholt.

DE 195 06 276 A 1

Beschreibung

Die Erfindung betrifft ein Verfahren zur Interpolation von Sensorsignalen, wobei je ein Sinus- und ein Cosinus-signal eines Sensors einer Brückenschaltung mit mehreren Abgriffspunkten zugeführt wird, ein Wertevergleich zwischen einem Abgriffspaar, bestehend aus zwei Abgriffen, die in der Brückenschaltung diametral gegenüberliegen, durchgeführt wird und bei Feststellung einer Wertegleichheit zwischen dem Abgriffspaar, die einem Nulldurchgang des Abtastwertes entspricht, ein die Stellung des entsprechenden Abgriffspaares repräsentierendes Signal ausgegeben wird.

Die Erfindung betrifft weiterhin eine Schaltungsanordnung zur Interpolation von Sensorsignalen mit einer Widerstandsbrückenschaltung in deren Brücken-zweigen mehrere Abgriffe vorgesehen sind, und die mit dem Sensorsignal beaufschlagt ist, und mit einem Komparator zum Wertevergleich zwischen einem Abgriffspaar, bestehend aus zwei Abgriffen, die in der Brückenschaltung diametral gegenüberliegen.

Zur Übertragung von Zustandssignalen sind sogenannte inkrementelle Geber bekannt. Derartige Geber werden beispielsweise bei der Übertragung von Drehzeigersignalen eingesetzt. Hierbei werden von einem Sensor an einem rotierenden Teil Sinus- und Cosinussignale erzeugt, die der Lage des rotierenden Teiles bezüglich eines Festpunktes entsprechen. Für eine Weiterverarbeitung dieser Signale ist eine Interpolation derselben in Interpolationswerte erforderlich.

Um aus einem Sinus- und einem Cosinussignal eine Vielzahl von Interpolationswerten zu gewinnen, die sich auf eine Periode äquidistant verteilen, sind verschiedene Methoden bekannt geworden. Diese beruhen zumeist auf einer analogen Vorverarbeitung der Sensorsignale mit anschließender A/D-Wandlung und digitaler Ausgabe.

Die Vorverarbeitung hat die Aufgabe, die Signale ohne Phasenfehler auf vorgegebene gleiche Amplitudenwerte zu verstärken und entsprechende Summen- und Differenzsignale zu bilden, die dann einer A/D-Wandlung unterzogen werden. Die A/D-Wandlung nimmt unter Berücksichtigung des nichtlinearen Funktionsverlaufes eine Digitalisierung in äquidistante Stützstellen vor.

Bei Eingangsfrequenzen des Sinus- und Cosinussignales von einigen hundert kHz und mehr als hundert Stützstellen werden an die A/D-Wandlung sehr hohe Anforderungen gestellt, die nach dem bekannten Stand der Technik nur Flash-Wandler erfüllen können.

Nachteilig ist es, daß bei dem Nutzsignal überlagerten Störungen beliebige Interpolationswerte ausgegeben werden können. Bei der in Antriebstechnik üblichen weiteren Signalverarbeitung, die nicht die Absolutwerte sondern nur deren Inkrementierungen zur Ausgabe bringt, kann dies zu Verzählfehlern führen.

Nachteilig ist es bei diesen Flash-Wandlern, daß sie einen hohen Flächen- und Leistungsbedarf aufweisen und daß damit eine Integration der Signalverarbeitung in einem Halbleiterchip erschwert wird. Außerdem fügt sich die für diese Wandler erforderliche Taktversorgung zumeist schlecht in übergeordnete Systeme ein.

Außerdem ist es erforderlich, den nichtlinearen Zusammenhang zwischen Signalspannung und Phasenwinkel zu korrigieren und eine ausreichende Unterdrückung von Störspannungen zu gewährleisten. Auch dies führt innerhalb von übergeordneten Systemen zu Problemen, da zumeist gewünschte Systemparameter nicht

erreicht werden können.

Aus der Zeitschrift "tm - Technisches Messen", 60 (1993), R. Oldenbourg Verlag, ist auf den Seiten 99 ff. eine Lösung angegeben, die die Signalverknüpfung, d. h. die Summen- und Differenzbildung, und die Korrektur in vorteilhafter Art und Weise löst. Dabei wird eine Brückenschaltung angegeben, die aus Widerständen besteht. Die Widerstände berücksichtigen in ihrer Abstufung den Funktionsverlauf. Es sind mehrere Brückenabgriffe vorgesehen, an die Komparatoren angeschlossen sind. Dabei wird jeweils ein Komparator mit zwei innerhalb der Brücke diagonal gegenüberliegenden Abgriffen beaufschlagt. Das Bild aller Komparatorausgänge liefert das repräsentierende Signal. Zusammen mit den an die Brückenabgriffe angeschlossenen Komparatoren wird also ein an die speziellen Anforderungen angepaßter Flash-Converter realisiert.

Nachteilig ist allerdings, daß bei Verwendung dieses Prinzips zur Realisierung eines Analoginterpolators als Einchiplösung dadurch weiterhin die genannten Probleme bestehen, mit der Ausnahme, daß die Aufgabe der Korrektur der Nichtlinearität gelöst ist.

Weiterhin ist es nachteilig, daß sich die Zahl der benötigten Komparatoren erheblich erhöht, da eine Anzahl erforderlich ist, die der Hälfte der Anzahl der Brückenabgriffe entspricht. Wird ein hoher Interpolationsfaktor gefordert, führt diese hohe Anzahl erforderlicher Komparatoren zu einer erheblichen Vergrößerung des Gesamtaufwandes.

Neben dem hohen schaltungstechnischen Aufwand besteht ein großer Flächen- und Leistungsbedarf und es wird eine Übereinstimmung der Komparatoren in den Parametern Offsetspannung und Verzögerungszeit gefordert, was hohe Anforderungen an den Herstellungsprozeß stellt.

Aufgabe der Erfindung ist es, ein Verfahren und eine Schaltungsanordnung anzugeben, die eine Gesamtintegration der analogen Vorverarbeitung mit digitaler Ausgabe auf einem Chip ermöglicht und dabei die Forderungen nach vertretbarem Herstellungsaufwand, hoher Verarbeitungsgeschwindigkeit, Gewährleistung einer Verzählsicherheit bei beliebigen Störungen, nicht-notwendigem externen Takt, geringen Stromverbrauch und Chipflächenbedarf sowie nach niedrigen Anforderungen an analoge Präzisionskomponenten erfüllt.

Gemäß der Erfindung wird die Aufgabe dadurch gelöst, daß die Abgriffspaare in einer Richtung nacheinander mit einer Frequenz, die größer ist als die Signalfrequenz, multipliziert mit der Anzahl der Abgriffspunkte, abgetastet und nacheinander dem Wertevergleich unterzogen werden, wobei jedem Abtastereignis ein Zählerwert eindeutig zugeordnet wird. Anschließend wird der Nulldurchgang des Abtastwertes ermittelt, indem ein von einem zum nächsten Abtastereignis eintretender Polaritätswechsel des aus dem Wertevergleich ermittelten Vergleichswertes festgestellt wird. Bei Feststellung eines Nulldurchganges wird der Zählerwert als das der Stellung des entsprechenden Abgriffspaares repräsentierende Signal ausgegeben. Nach Feststellung des Polaritätswechsels des Vergleichswertes werden die Verfahrensschritte in entgegengesetzter Abtastrichtung wiederholt.

Da die Abtastfrequenz wesentlich höher als die Signalfrequenz ist, wird über die Abtastung in der einen Abtastrichtung sehr schnell das Abgriffspaar ermittelt, bei dem der Wertevergleich eine Polaritätsumkehr des Vergleichswertes zeigt. Ist der Vergleichswert ein digitaler Wert, so wird sich diese Polaritätsumkehr in einer

Änderung des logischen Ausgangspegels darstellen. Neben der Ausgabe des Signales, das die Stellung des entsprechenden Abgriffspaares repräsentiert, kehrt sich die Abtastrichtung um. Es werden also die in dem vorhergehenden Abtastschritten abgetasteten Abgriffspaare wieder abgetastet. Hat sich die Stellung des den Nulldurchgang repräsentierenden Abgriffspaares nicht verändert, wird also sofort wieder eine Polaritätsumkehr des Vergleichswertes festgestellt. Damit wiederholt sich die Richtungs-umkehr erneut. Die Abtastung pendelt also stets um das Abgriffspaar, das den Nulldurchgang repräsentiert.

In einer besonders günstigen Ausgestaltung des erfindungsgemäßen Verfahrens ist vorgesehen, daß jedem Abgriffspaar der Wert eines Zählersignales zugeordnet wird. Danach wird das Zählersignal mit auf- oder absteigenden Wertefolge erzeugt. Jeweils das dem jeweiligen Wert des Zählersignales entsprechende Abgriffspaar wird sodann dem Wertevergleich unterzogen und der aktuelle Wert dem Zählersignales ausgegeben. Bei Feststellung eines Polaritätswechsels des Vergleichswertes wird die Wertefolge des Zählersignales umgekehrt.

Durch diese Ausgestaltung wird die Analoginterpolation weitgehend digital geführt. Die Erzeugung des Zählersignales und die Verwendung desselben als ein Stellungssignal vereinfacht die Signalverarbeitung erheblich.

Auch hierbei zeigt das Verfahren ein ständiges Pendeln der Abtastung um das Abgriffspaar, bei welchem der Polaritätswechsel eintritt.

Die Aufgabe wird weiterhin durch eine Schaltungsanordnung gelöst, bei der ein Multiplexer vorgesehen ist, über den der Komparator mit verschiedenen Abgriffspaares verbindbar ist. Weiterhin ist eine einen Vor-/Rückwärtszähler beinhaltende digitale Steuerschaltung mit dem Multiplexer steuernd verbunden. Dabei ist der Komparatorausgang mit der digitalen Steuerschaltung derart verbunden, daß die Zählrichtung in Abhängigkeit von dem Komparatorausgang steht.

In Abhängigkeit von der Stellung des Vor-/Rückwärtszählers werden die Abgriffspaare nacheinander mit dem Komparator verbunden. Der Komparatorausgang seinerseits entscheidet über die Richtung, in die der Vor-/Rückwärtszähler zählt.

Wird ein Abgriffspaar mit dem Komparator verbunden, das den Nulldurchgang des Sensorsignales repräsentiert, wird an dem Komparator eine Umkehr des logischen Ausgangspegels erfolgen, da die Werte an den zu dem Abgriffspaar gehörenden Abgriffen entweder gleich sind oder da deren Differenz umgekehrt verschieden von Null ist als bei dem vorhergehend abgetasteten Abgriffspaar.

Durch die Rückwirkung des Komparatorausganges auf den Vor-/Rückwärtszähler wird die Abtastrichtung durch eine Umkehr der Zählrichtung erzeugt.

In einer günstigen Ausgestaltung der erfindungsgemäßen Schaltungsanordnung ist vorgesehen, daß der Multiplexer aus zwei Analogmultiplexern besteht.

Weiterhin ist es zweckmäßig, daß der Vor-/Rückwärtszähler über einen 2-aus-n-Dekoder mit den Analogmultiplexern verbunden ist, durch den diese gesteuert werden.

Weiterhin ist es zweckmäßig, einen Komparator vorzusehen, der aus einem symmetrischen Nullspannungskomparator besteht.

Die Erfindung soll nachfolgend anhand eines Ausführungsbeispieles näher erläutert werden. Die zugehörige Zeichnung zeigt ein Blockschaltbild einer erfindungsge-

mäßen Schaltungsanordnung.

Die Schaltungsanordnung dient der digitalen Darstellung der Drehlage eines rotierenden Teiles. Sie stellt damit eine Drehzeigeranordnung dar.

Von nicht näher dargestellten Sensoren, die sich an oder in der Nähe des rotierenden Teiles befinden, wird ein Sinussignal an den Eingang eines Sinusverstärkers 1 und ein Cosinussignal an den Eingang eines Cosinusverstärkers 2 angelegt.

In der Schaltungsanordnung ist eine Brückenschaltung, bestehend aus den Brückenwiderständen 3 bis 6 vorgesehen. Dabei ist der Sinusverstärker 1 mit seinem Ausgang 7 und seinem invertierten Ausgang 8 mit den in der Zeichnung dargestellten vertikalen Brückenspeisepunkten der Brückenschaltung und der Ausgang 9 sowie der invertierte Ausgang 10 des Cosinusverstärkers 2 mit den horizontalen Brückenspeisepunkten der Brückenschaltung verbunden.

Die Brückenwiderstände 3 bis 6 weisen je 50 Abgriffspunkte auf, die mit einem aus zwei Analogmultiplexern bestehenden Multiplexer 11 verbunden sind.

Weiterhin ist in der Schaltungsanordnung eine Steuerschaltung 12 vorgesehen, die einen 2-aus-n-Dekoder und einen Vor-/Rückwärtszähler beinhaltet. Gesteuert wird die Steuerschaltung 12 über einen Taktgenerator 13, wie es nachfolgend näher beschrieben wird.

Über den 2-aus-n-Dekoder der Steuerschaltung 12 wird der Multiplexer 11 derart gesteuert, daß je einen Abgriffspunkt des Brückenwiderstandes 3 mit einem diametral gegenüberliegenden Abgriffspunkt des Brückenwiderstandes 6 oder einen Abgriffspunkt des Brückenwiderstandes 4 mit einem diametral gegenüberliegenden Abgriffspunkt des Brückenwiderstandes 5 jeweils als ein Abgriffspaar mit den Eingängen eines Komparators 14, der aus einem symmetrischen Nullspannungskomparator besteht, verbunden werden.

Der Ausgang des Komparators 14 ist wiederum mit der Steuerschaltung 12 verbunden.

Wie bereits dargestellt, verbindet der Multiplexer 11 in Abhängigkeit des Wertes des Vor-/Rückwärtszählers in der Steuerschaltung 12 die Abgriffspaare mit den Eingängen des Komparators 14. Abhängig vom logischen Ausgangspegel des Komparators 14 wird dann ein Vor- oder Rückwärtszählimpuls erzeugt, wodurch der Komparator 14 über den Multiplexer 11 mit dem nächsten oder dem vorangegangenen Abgriffspaar verbunden wird.

Da die Brückenwiderstände 3 bis 6 so bemessen sind, daß bei Anliegen von orthogonalen Sinusspannungen an den jeweils gegenüberliegenden Brückenspeisepunkten die Nulldurchgänge der sinusförmigen Spannungen an den Abgriffspaares äquidistanten Interpolationspunkten entsprechen, wird der Vor-/Rückwärtszähler vom Komparator 14 so lange in eine Richtung gezählt, bis der Nulldurchgang erreicht ist, wobei die entsprechende Zählerstellung dann den Interpolationspunkt repräsentiert. Diese Zählerstellung wird, durch die Steuerschaltung 12 kodiert an den Ausgang 15 der Steuerschaltung 12 gegeben.

Im quasistatischen Betrieb pendelt das Abtasten zwischen den beiden Abgriffspaares, zwischen denen der tatsächliche Nulldurchgang liegt, mit einer Frequenz, die durch die systembedingte Verzögerungszeit vorgegeben ist. Dieses Pendeln kann am digitalen Ausgang durch zusätzliche Schaltungsmaßnahmen unterdrückt werden.

Mit dieser Schaltungsanordnung wird die erfindungsgemäße Aufgabenstellung unabhängig von einem Inter-

polationsfaktor mit einem einzigen Komparator 14 gelöst, wohingegen nach dem Stand der Technik eine Vielzahl von Komparatoren benötigt wird. Die von diesem Komparator 14 zu erreichenden Parameter, insbesondere Offsetspannung und Verzögerungszeit, müssen zwar bestimmten absoluten Forderungen genügen, sind bezüglich ihrer Toleranzen jedoch unkritisch. Dies ist eine wesentliche Voraussetzung für die Realisierbarkeit in einem Standard-CMOS-Prozeß.

Gleichzeitig ermöglicht die Realisierung von nur einem Komparator 14 auch kleinere Absolutwerte für Verzögerungszeit und Offset, da der Wegfall von strengen Restriktionen in Bezug auf die Fläche und die Verlustleistung mehr schaltungstechnischen Spielraum zur Verbesserung der oben genannten Parameter läßt und dennoch mit einer erheblichen Reduzierung von Flächen- und Leistungsbedarf der gesamten Anordnung verbunden ist. Damit ist eine wesentliche Voraussetzung für das Erreichen einer hohen Geschwindigkeit gegeben.

Als Komparator 14 wird in dem Ausführungsbeispiel ein getakteter Komparator, bestehend aus Vorverstärker, gelatchten Flip-Flop und Daten-Transient-Detektor eingesetzt, der an seinen Ausgängen ein Daten- und ein Strobe-Signal bereitstellt. Dieser Aufbau sichert für verschiedene Eingangsspannungen die jeweils maximale Geschwindigkeit und verhindert gleichzeitig die Ausgabe von undefinierten Pegeln an die Steuerschaltung 12.

Der Latch-Takt fuhr den Komparator 14 wird erfindungsgemäß über eine Verzögerungsschaltung, die das Zeitverhalten der Steuerschaltung 12, der des Multiplexers 11 und des Vorverstärkers simuliert, aus dem Strobe-Impuls gewonnen, welcher als Takt für die Steuerschaltung 12 dient. Dadurch arbeitet die Schaltungsanordnung in sich geschlossen und kommt ohne einen externen Takt aus.

Bezugszeichenliste

- | | |
|--|----|
| 1 Sinusverstärker | 40 |
| 2 Cosinusverstärker | |
| 3 Brückenwiderstand | |
| 4 Brückenwiderstand | |
| 5 Brückenwiderstand | |
| 6 Brückenwiderstand | 45 |
| 7 Ausgang des Sinusverstärkers | |
| 8 invertierter Ausgang des Sinusverstärkers | |
| 9 Ausgang des Cosinusverstärkers | |
| 10 invertierter Ausgang des Cosinusverstärkers | |
| 11 Multiplexer | 50 |
| 12 Steuerschaltung | |
| 13 Taktgenerator | |
| 14 Komparator | |
| 15 digitaler Ausgang | 55 |

Patentansprüche

1. Verfahren zur Interpolation von Sensorsignalen, wobei je ein Sinus- und ein Cosinussignal eines Sensors einer Brückenschaltung mit mehreren Abgriffspunkten zugeführt wird, ein Wertevergleich zwischen einem Abgriffspaar, bestehend aus zwei Abgriffen, die in der Brückenschaltung diametral gegenüberliegen, durchgeführt wird und bei Feststellung einer Wertegleichheit zwischen dem Abgriffspaar, die einem Nulldurchgang des Abtastwertes entspricht, ein die Stellung des entsprechenden Abgriffspaares repräsentierendes Signal aus-

gegeben wird, dadurch gekennzeichnet, daß die Abgriffspare in einer Richtung nacheinander mit einer Frequenz, die größer ist als die Signalfrequenz, multipliziert mit der Anzahl der Abgriffspunkte, abgetastet und nacheinander dem Wertevergleich unterzogen werden, wobei jedem Abtastereignis ein Zählerwert eindeutig zugeordnet wird,

daß anschließend der Nulldurchgang des Abtastwertes ermittelt, indem ein von einem zum nächsten Abtastereignis eintretender Polaritätswechsel des aus dem Wertevergleich ermittelten Vergleichswertes festgestellt wird,

daß bei Feststellung eines Nulldurchganges der Zählerwert als das der Stellung des entsprechenden Abgriffspaares repräsentierende Signal ausgegeben wird und

daß nach Feststellung des Polaritätswechsels des Vergleichswertes die Verfahrensschritte in entgegengesetzter Abtastrichtung wiederholt werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet,

daß jedem Abgriffspaar der Wert eines Zählersignales zugeordnet wird,

daß das Zählersignal mit auf- oder absteigenden Wertefolge erzeugt wird,

daß jeweils das dem jeweiligen Wert des Zählersignales entsprechende Abgriffspaar dem Wertevergleich unterzogen und der aktuelle Wert des Zählersignales als repräsentierendes Signal ausgegeben wird und

daß bei Feststellung eines Polaritätswechsels des Vergleichswertes Wertefolge des Zählersignales umgekehrt wird.

3. Schaltungsanordnung zur Interpolation von Sensorsignalen mit einer Widerstandsbrückenschaltung in deren Brückenzeigen mehrere Abgriffe vorgesehen sind, und die mit dem Sensorsignal beaufschlagt ist, und mit einem Komparator zum Wertevergleich zwischen einem Abgriffspaar, bestehend aus zwei Abgriffen, die in der Brückenschaltung diametral gegenüberliegen, dadurch gekennzeichnet,

daß ein Multiplexer (11) vorgesehen ist, über den der Komparator (14) mit verschiedenen Abgriffsparen verbindbar ist,

daß eine einen Vor-/Rückwärtszähler beinhaltende digitale Steuerschaltung (12) mit dem Multiplexer (11) steuernd verbunden ist und

daß der Komparatorausgang mit der digitalen Steuerschaltung (12) derart verbunden ist, daß die Zählrichtung in Abhängigkeit von dem Komparatorausgang steht.

4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß der Multiplexer (11) aus zwei Analogmultiplexern besteht.

5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß der Vor-/Rückwärtszähler über einen 2-aus-n-Dekoder mit den Analogmultiplexern verbunden ist, durch den diese gesteuert werden.

6. Schaltungsanordnung nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, daß der Komparator (14) aus einem symmetrischen Nullspannungskomparator besteht.

Hierzu 1 Seite(n) Zeichnungen

- Leerseite -

